标题：ex3.0实验报告

日期：2023年8月8日

作者：chms

练习3.0要求：

做一个简单的Wishbone总线外设，8位寄存器S作为外设的输出，Wishbone总线写操作更新S的值，Wishbone总线读则返回S当前值。

模块名称wb2byteout

设计模块接口：

|  |  |  |  |
| --- | --- | --- | --- |
| **信号名称** | **方向** | **宽度** | **说明** |
| i\_clk、i\_rst\_n | 输入 | 1bit | 时钟和复位（低有效） |
| i\_adr | 输入 | 32bit | 地址 |
| i\_stb | 输入 | 1 | 自Wishbone主接口的STB，高有效，忽略CYC\_I |
| i\_we | 输入 | 1 | 自Wishbone主接口的写请求，高有效 |
| i\_dat | 输入 | 8 | 自Wishbone主接口的写数据。本模块无地址信号 |
| o\_dat | 输出 | 8 | 返回Wishbone主接口的读数据 |
| o\_ack | 输出 | 1 | 返回Wishbone主接口的应答信号 |

主要部件是一个Wishbone有限状态机，用以应答主设备的Wishbone请求。

状态机的输入：

|  |  |  |
| --- | --- | --- |
| **信号名称** | **宽度** | **说明** |
| i\_stb | 1 | 自Wishbone主接口的STB，高有效 |

状态机的输出：

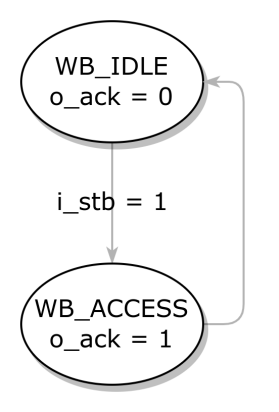
|  |  |  |
| --- | --- | --- |
| **信号名称** | **宽度** | **说明** |
| o\_ack | 1 | 返回Wishbone主接口的应答信号 |
| * WB\_IDLE状态下o\_ack应答为0。 * 当i\_stb拉高，要进行传输操作时，在下一个时钟沿转入WB\_ACK状态，输出o\_ack应答信号。 | | |

设计：

输入i\_stb以及当前状态。输出o\_ack。转移表：

|  |  |  |  |
| --- | --- | --- | --- |
| **当前状态** | **输出** | **说明** | **输入和转移状态** |
| WB\_IDLE | 0 | 空闲，稳定态，也是复位状态 | 0，无请求，WB\_IDLE |
| 1，读/写请求，WB\_ACK |
| WB\_ACK | 1 | 产生o\_ack脉冲 | WB\_IDLE |
| *default* | *-* |  | *WB\_IDLE* |

状态转移图：



模块的内部寄存器：

|  |  |  |
| --- | --- | --- |
| **寄存器名称** | **宽度** | **说明** |
| S | 8 | 复位状态：8’h00。  在时钟上升沿：  o\_ack高电平时，读出数据，或更新为i\_dat的值。  o\_ack低电平时，保持原值 |

测试：

Timescale：采用1ns/10ps

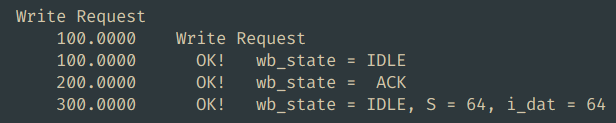
Define：无

Testbench采用10MHz时钟，激励在第一个时钟上升沿后给出。

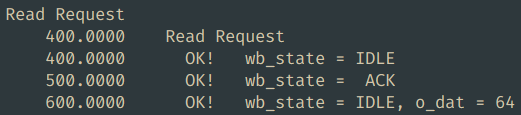
测试1：复位后状态和输出是否正确。



测试2：写入S。第一个时钟沿拉高i\_stb，输入有效，第二个时钟沿转换到WB\_ACK并输出o\_ack，第三个时钟沿进行S的写入。



测试3：读出S。第一个时钟沿拉高i\_stb，输入有效，第二个时钟沿转换到WB\_ACK并输出o\_ack，第三个时钟沿进行S的读出。



波形说明（略）。